

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Ker et al.

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: September 2, 2003

Docket No. 252011-1280

For: **ESD Protection Circuit with High Substrate-Triggering Efficiency**

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "ESD Protection Circuit with High Substrate-Triggering Efficiency", filed September 16, 2002, and assigned serial number 91121117. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

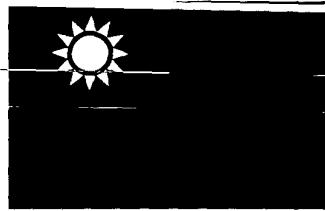
**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By:



Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 16 日
Application Date

申請案號：091121117
Application No.

申請人：台灣積體電路製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2002 年 10 月 08 日
Issue Date

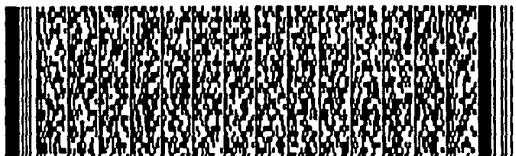
發文字號：09111019768
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

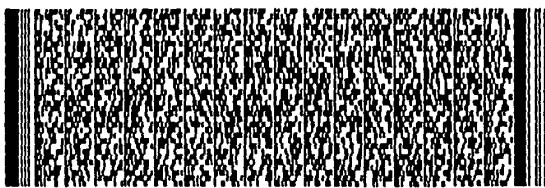
一、 發明名稱	中文	具有高基體觸發效率之靜電放電防護電路與相關之金氧半電晶體結構
	英文	
二、 發明人	姓名 (中文)	1. 柯明道 2. 徐國鈞
	姓名 (英文)	1. Ming-Dou Ker 2. Kuo-Chun Hsu
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市東區高峰里8鄰寶山路200巷3號4樓之三 2. 苗栗縣頭份鎮忠孝里長安街27鄰61號
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代理人 姓名 (中文)	1. 張忠謀
代理人 姓名 (英文)	1.	



四、中文發明摘要 (發明之名稱：具有高基體觸發效率之靜電放電防護電路與相關之金氧半電晶體結構)

一種基體觸發之靜電放電(electrostatic discharge, ESD)防護電路。該ESD防護電路包含有具有多指結構之一元件(device)、複數之暫態電流偵測元件以及複數之回饋線路。該多指結構之元件具有複數指閘極、複數之指源極以及至少一指汲極。該指汲極耦接至一接合鋸墊(pad)。每一指閘極下均寄生有一雙極性接面電晶體(bipolar junction transistor, BJT)。每一指源極為該等BJT其中之一的射極。每一暫態電流偵測元件耦接於一對應之指源極與一電源線之間，用以偵測流經一相對應之指閘極的暫態電流(transient current)。每一回饋線路耦接於一第一BJT的基極(base)與一第二BJT的射極之間，於ESD事件時，用以觸發該第一BJT，以釋放ESD電流。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

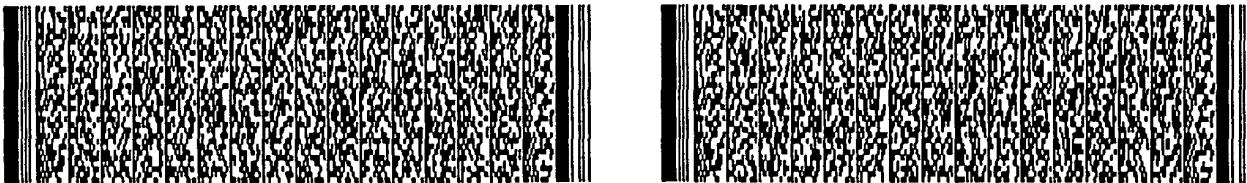
五、發明說明 (1)

本發明係有關於一種靜電放電(electrostatic discharge, ESD)防護電路與其相關元件，由指一種具有高基體觸發效率之ESD防護電路。

基本上，ESD是一種外界大量能量透過積體電路(integrated circuit)的瞬間能量釋放過程，整個的放電過程大約是100奈秒。在這麼短的時間內，數百伏特，甚至是數千伏特的ESD應力要被釋放。如果，釋放的過程不適當，將很容易造成IC內的元件損害，尤其是電晶體的閘極。隨著閘極氧化層厚度的縮減，閘極也就越脆弱，IC也需要有特別的設計，來防止ESD所可能造成的損害。

大量能量釋放勢必會造成高熱。為了散熱的效果考量，一般的ESD防護元件都是使用大尺寸元件。請見第1圖，第1圖為一習知的具有ESD防護效能的輸入埠(port)。正型的MOS(PMOS) M_p 與負型的MOS(NMOS) M_n 作為ESD防護元件，一般是多指結構(multi-finger layout)之金氧半場效電晶體(metal-oxide-semiconductor field effect transistor, MOS)。第2A圖為一習知的多指結構之MOS的佈局圖；第2B圖為第2A圖之一剖面圖。多指結構(multi-finger)之MOS，因其具有大的元件尺寸，同時又佔有較小的元件面積，所以常常被用來作為ESD防護元件。

然而，大尺寸的MOS元件會遭遇多指結構佈局無法均勻的(uniformly)被觸發之問題。多指結構MOS的數個指閘極因為位置的不同，而會有不同觸發速度。而且，往往只



五、發明說明 (2)

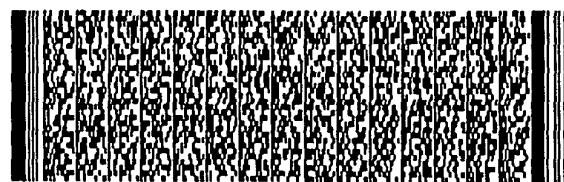
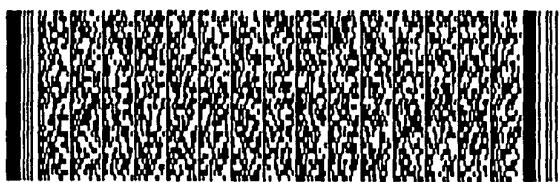
有部分幾個指閘極被觸發。所以，多指結構MOS之ESD耐受力往往無法隨著元件尺寸增大而增大。為了提高多指結構MOS之ESD耐受力，目前已知的技術包含有閘極耦合技術以及基體觸發技術，分別如第3圖與第4圖所示。

有鑑於此，本發明的主要目的，在於提供一種能使多指結構MOS均勻觸發的技術，提高多指結構MOS之ESD耐受力。

本發明的另一目的，在於提供一相對應的元件佈局圖(device layout)，能有效率地善用晶圓面積，製作一高效能之ESD防護元件。

根據上述之目的，本發明提出一種基體觸發之靜電放電(electrostatic discharge, ESD)防護電路。該ESD防護電路包含有具有多指結構之一元件(device)、複數之暫態電流偵測元件以及複數之回饋線路。該多指結構之元件具有複數指閘極、複數之指源極以及至少一指汲極。該指汲極耦接至一接合鋸墊(pad)。每一指閘極下均寄生有一雙極性接面電晶體(bipolar junction transistor, BJT)。每一指源極為該等BJT其中之一的射極。每一暫態電流偵測元件耦接於一對應之指源極與一電源線之間，用以偵測流經一相對應之指閘極的暫態電流(transient current)。每一回饋線路耦接於一第一BJT的基極(base)與一第二BJT的射極之間，於ESD事件時，用以觸發該第一BJT，以釋放ESD電流。

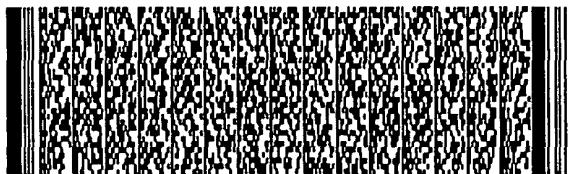
本發明另提出一種具有高效能之靜電放電防護能力的



五、發明說明 (3)

一種金氧半電晶體結構，設於一第二導電型之一基體(substrate)上。該金氧半電晶體結構包含有該第二導電型之一防護環(guard ring)、複數之指結構、複數之井電阻以及內連接線路(internal connection circuits)。該防護環形成於該基體上，作為該基體之電性連接點。該等指結構被該防護環所包圍。每一指結構包含有一指閘極、一指源極、一指汲極以及一基體電流進入點。該指源極係以一第一導電型之一第一摻雜區所構成。該指汲極係以該第一導電型之一第二摻雜區所構成，耦接至一接合鋱墊。該指閘極設於該第一摻雜區與該第二摻雜區之間。該基體電流進入點係以被該第二摻雜區包圍之該第二導電型之一第三摻雜區所構成。該指閘極附近之該第一摻雜區、該基體與該第二摻雜區係構成一寄生之雙極性接面電晶體。每一井電阻之一端耦接至該等指源極其中之一，每一井電阻之另一端耦接至一電源線。內連接線路用以耦接該等指源極其中之一至該等該基體電流進入點其中之一。如此，以在ESD事件時，流經一第一寄生BJT與一相連之井電阻的ESD電流，可以觸發一第二寄生BJT。

本發明之優點在於，當指閘極其中之下寄生的BJT被ESD應力觸發時，大量的電流流經一相對應的暫態電流偵測元件，進而提高該BJT的射極電壓。射極電壓升高後，可以提供另一BJT的基極電流，觸發該另一BJT，以加入釋放ESD應力的行列。如此的連鎖反應下，所有的BJT都可以被觸發，使該ESD防護電路或是金氧半電晶體結構達



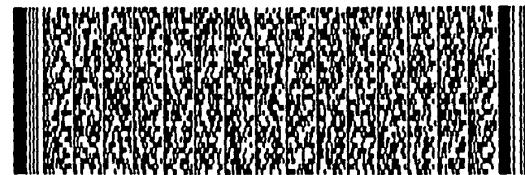
五、發明說明 (4)

到最佳的ESD防護效能。

實施例：

第5圖為本發明的基體觸發之ESD防護電路，以NMOS實施時的概念示意圖。本發明的ESD防護電路30具有一多指結構之NMOS(由G1~Gn的指結構)、複數個暫態電流偵測元件32以及複數之回饋線路34。每個指結構之一指汲極(finger drain)耦接至一接合鋸墊(pad)36。每個暫態電流偵測元件32都耦接在一指結構之一指源極(finger source)與一Vss電源線之間。每個指結構下的指汲極、基體與指源極會分別構成一寄生的BJT(T1~Tn)的集極(collector)、基極(base)以及射極(emitter)。每個回饋線路34連接於一寄生BJT之射極與另一寄生BJT之基極之間，如第5圖所示。

本發明的主要原理如下。如果，多指結構之NMOS在ESD事件剛發生時沒有被均勻地觸發，譬如說只有G1被觸發，則大量流經G1與一相連之暫態電流偵測元件32的電流將會提昇T1之射極電壓。只要T1之射極電壓高到一定程度，透過一回饋線路34與基體觸發技術，T2的基極電壓也會升高，進而觸發T2的開啟，使G2加入導通ESD電流的行列。由第5圖中的連接方式可知，G1的觸發將會導致G2的觸發，G2的觸發將會導致G3的觸發，以此類推。最後，Gn的觸發將導致G1的觸發。換言之，任何一個指結構的觸發將會連鎖反應式的導致其他指結構之觸發。因此，在眾指結構共同加入導通ESD電流的狀況下，本發明之ESD防護元



五、發明說明 (5)

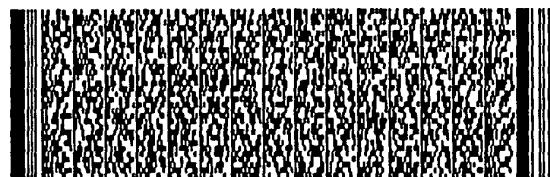
件與電路設計將會具有良好的ESD耐受力。

當多指結構之NMOS單純只是作為ESD防護元件時，其複數指閘極可以直接受耦接至V_{SS}，或是透過電阻耦接至V_{SS}，如第6圖所示。在第6圖中，暫態電流偵測元件32為電阻R_{s1}~R_{sn}。每一回饋線路34為一單純的內連接線(internal connection wire)，連接一BJT的射極與另一BJT的基極。

當多指結構之NMOS不只是作為ESD防護元件時，還要作為輸出埠(output port)的驅動器(driver)時，依據驅動電流的需求，可以將部分的或是全部的指閘極耦接至前級驅動器(pre-driver)。在第7圖中，所有的指閘極均耦接至前級驅動器38，充分發揮其驅動能力。

除了多指結構之NMOS外，本發明也可以實施在多指結構之PMOS元件上。第8圖與第9圖為兩個以多指結構之PMOS實施本發明之實施例。其中，第8圖中的指閘極均耦接至V_{DD}電源線，用以在正常電源操作時關閉所有的指閘極，此連接方式適用於輸入埠之ESD防護電路。第9圖中的指閘極耦接至一前級驅動器38，其多指結構之PMOS作為一個後級驅動器(post driver)，並可作為輸出埠之ESD防護元件使用。

第10圖為一依據本發明，具有4指結構之多指結構NMOS的佈局圖(layout)。第11A圖與第11B圖分別為沿著第10圖中XX'線與YY'線的剖面圖。多指結構NMOS設於一P型基體40上，其最外圍是一個P+摻雜區42，作為多指結構



五、發明說明 (6)

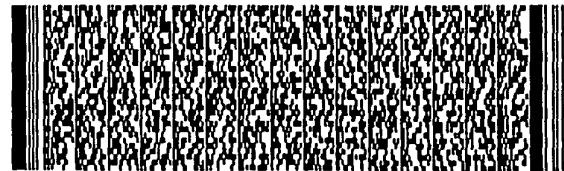
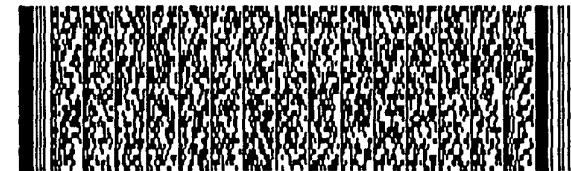
NMOS之保護環(guard ring)，同時也作為P型基體40的電性連接點，耦接至VSS。

第10、11A與11B圖中有4個指結構。每一個指結構具有一指閘極44、一指源極、一指汲極以及一基體電流進入點。每一個指結構與另一個指結構有共用部分之區域。指源極為一N+摻雜區46。指汲極為一N+摻雜區48，耦接至一接合鋸墊36。基體電流進入點為P+摻雜區50，每一P+摻雜區50均被N+摻雜區48所包圍。P+摻雜區50與N+摻雜區48之間有場氧化層52a作為隔絕。圖中，場氧化層52a是以淺溝隔離法(shallow trench isolation, STI)製作而成，但也可用局部氧化法(local oxidation, LOCOS)製作而成。

由第11B圖中可知，每個閘結構的指閘極下方寄生有一NPN BJT。N+摻雜區48、P型基體40與N+摻雜區46分別構成BJT的集極、基極與射極。基極透過基體40之展阻(spread resistor)連接到P+摻雜區42。基極也耦接至基體電流進入點50。當基體電流進入點有電流進入時，可以提高BJT之基極電壓，進而觸發BJT導通，來排放ESD電流。

井電阻設在N+摻雜區46旁，個別以一N型井54所構成。N型井54的一邊連接至N+摻雜區46，另一邊連接至N+摻雜區56。而N+摻雜區56耦接至Vss。N型井54上可形成場氧化層52b，一方面隔絕N+摻雜區56與46，另一方面用以增加井電阻之阻值。

第11B圖中顯示了一種內連接線路(internal



五、發明說明 (7)

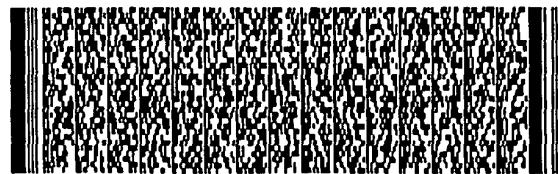
connection circuits)。最左指源極以及最右指源極共同連接到左邊的基體電流進入點(左邊的P+摻雜區50)，中央兩個指源極共同連接到右邊的基體電流進入點(右邊的P+摻雜區50)。

第11A與11B圖中之ESD防護電路，在ESD事件時所產生的連鎖反應，以使所有的指結構均觸發的原理，已經於之前第五圖中詳述，在此不再重述。

每一回饋線路不一定是只有連接一個指源極與一個BJT的基極，也可以連接一個指源極與複數個BJT之基極，甚至是所有的BJT之基極。也就是流經一個暫態電流偵測元件32之電流可以同時觸發不只一個的BJT。第12圖至第15圖為此種構想的實施例，其中，回饋線路連接了所有的BJT之基極。換言之，當一個BJT被觸發時，其他的的BJT之基極電壓也將會被提高而觸發。第16圖為一可以用於第12圖的多指結構之NMOS剖面圖，其中寄生的BJT可以被同時觸發。

P+摻雜區50與N+摻雜區48之間也可以用一虛閘結構(dummy gate)作為隔絕。第17圖為指汲極與基體電流進入點之間以虛閘結構70隔絕之多指結構NMOS的佈局圖。第18圖為第17圖沿著YY'線之剖面圖，但其回饋線路使其寄生之BJT循序的觸發。第19圖為第17圖沿著YY'線之剖面圖，但其回饋線路使其寄生之BJT同時的觸發。

暫態電流偵測元件32的功能在於偵測ESD事件時的大量電流，進而提高指源極的電位。因此，除了電阻之外，



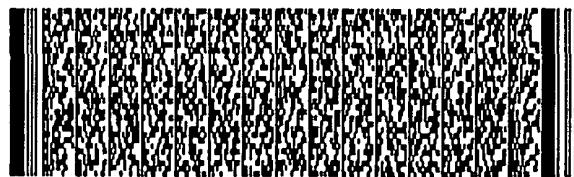
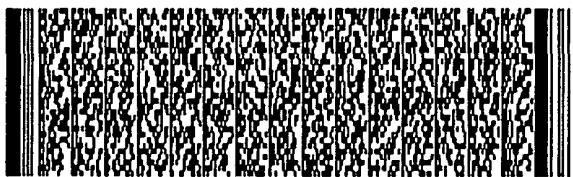
五、發明說明 (8)

可用的元件有電感(如第20圖所示)、二極體(如第21圖所示)或是串聯之二極體(如第22圖所示)。尤其是電感，可以設計的使其在一般正常電源操作時，電流的變化不會產生足夠的電壓而觸發寄生之BJT。但是，在ESD事件時，短時間內的大電流變化可以使電感之兩端產生足夠的壓差以觸發BJT。

對於混壓(mixed-voltage)IC而言，堆疊式(stacked)NMOS一般是用來承受具有較高電壓準位的出入信號，同時作為一輸出驅動器或是一ESD防護元件。堆疊式NMOS同樣也可以使用本發明之概念，利用一暫態電流偵測元件來偵測流經堆疊指結構之ESD電流，然後回饋與寄生於堆疊指結構下的BJT，如第23圖所示。

相較於習知的ESD防護電路與多指結構之MOS，其容易因為位置不同而有觸發不均勻的問題。本發明之ESD防護電路利用ESD電流之偵測、基體觸發技術以及連鎖反應，來使所有的BJT一起被觸發，所以會具有較佳之ESD耐受力。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖為一習知的具有ESD防護效能的輸入埠；

第2A圖為一習知的多指結構之MOS的佈局圖；

第2B圖為第2A圖之一剖面圖；

第3圖顯示一習知的閘極耦合技術；

第4圖顯示一習知的基體觸發技術；

第5圖為本發明的基體觸發之ESD防護電路，以NMOS實施時的概念示意圖；

第6圖為多指結構之NMOS單純只是作為ESD防護元件時之一實施例；

第7圖為多指結構之NMOS作為一驅動器時之一實施例；

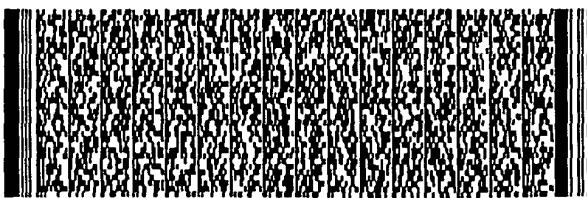
第8圖為多指結構之PMOS單純只是作為ESD防護元件時之一實施例；

第9圖為多指結構之PMOS作為一驅動器時之一實施例；

第10圖為一依據本發明，具有4指結構之多指結構NMOS的佈局圖(layout)；

第11A圖與第11B圖分別為沿著第10圖中XX'線與YY'線的剖面圖；

第12圖至第15圖為依據本發明，可以同時觸發多個BJT的四個實施例；



圖式簡單說明

第16圖為一可以用於第12圖的多指結構之NMOS剖面圖；

第17圖為指汲極與基體電流進入點之間以虛閘結構隔絕之多指結構NMOS的佈局圖；

第18圖為第17圖之剖面圖，但其回饋線路使其寄生之BJT可循序的觸發；

第19圖為第17圖之剖面圖，但其回饋線路使其寄生之BJT可同時的觸發；

第20圖至第22圖分別以一電感、一二極體以及串聯之複數二極體作為本發明中的暫態電流偵測元件；以及

第23圖為本發明應用於堆疊式NMOS的一實施例。
符號說明：

本發明的ESD防護電路~30；

暫態電流偵測元件~32；

回饋線路~34；

接合鋸墊(pad)~36；

前級驅動器~38；

P型基體~40；

P+摻雜區~42、50；

指閘極~44；

N+摻雜區~46、48、56；

場氧化層~52a、52b；

N型井~54；

虛閘結構~70。



六、申請專利範圍

1. 一種基體觸發之靜電放電(electrostatic discharge, ESD)防護電路，包含有：

具有多指結構(multi-finger layout)之一元件(device)，具有複數指閘極、複數之指源極以及至少一指汲極，該指汲極耦接至一接合鋸墊(pad)，每一指閘極下均寄生有一雙極性接面電晶體(bipolar junction transistor, BJT)，每一指源極為該等BJT其中之一的射極；

複數之暫態電流偵測元件(voltage drop elements)，每一暫態電流偵測元件耦接於一對應之指源極與一電源線之間，用以偵測流經一相對應之指閘極的暫態電流(transient current)；以及

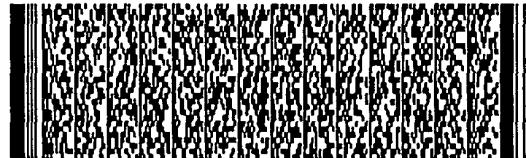
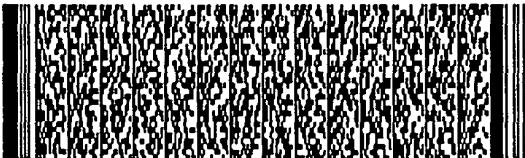
複數之回饋線路(feedback circuits)，每一回饋線路耦接於一第一BJT的基極(base)與一第二BJT的射極之間，於ESD事件時，用以觸發該第一BJT，以釋放ESD電流。

2. 如申請專利範圍第1項之ESD防護電路，其中，該元件係為一NMOS。

3. 如申請專利範圍第1項之ESD防護電路，其中，該元件係為一PMOS。

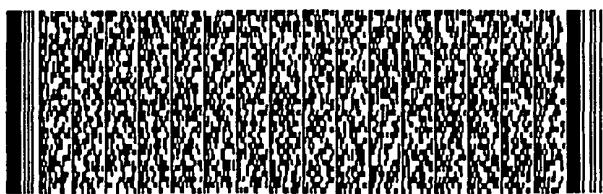
4. 如申請專利範圍第1項之ESD防護電路，其中，該元件之複數閘指極其中之一係耦接至一電源線。

5. 如申請專利範圍第4項之ESD防護電路，其中，該元件之複數閘指極其中之一係透過一電阻耦接至一電源線。



六、申請專利範圍

6. 如申請專利範圍第1項之ESD防護電路，其中，該元件之複數閘指極其中之一係耦接至一前級驅動電路(pre-driver)。
7. 如申請專利範圍第1項之ESD防護電路，其中，該等暫態電流偵測元件係為複數之電阻。
8. 如申請專利範圍第7項之ESD防護電路，其中，每一該等電阻係以該第一型導電型之一井電阻設於一第二導電型基體所構成。
9. 如申請專利範圍第1項之ESD防護電路，其中，該等暫態電流偵測元件係為複數之電感(inductor)。
10. 如申請專利範圍第1項之ESD防護電路，其中，該等暫態電流偵測元件係包含一二極體。
11. 如申請專利範圍第1項之ESD防護電路，其中，該等暫態電流偵測元件係包含複數順向串聯之二極體。
12. 如申請專利範圍第1項之ESD防護電路，其中，該回饋線路係連接該第一BJT之基極與該第二BJT之集極。
13. 如申請專利範圍第1項之ESD防護電路，其中，該回饋線路係同時連接該第一BJT之基極、一第一BJT之集極與該第二BJT之集極。
14. 如申請專利範圍第1項之ESD防護電路，其中，該元件係為一堆疊式MOS。
15. 一種具有高效能之靜電放電防護能力的一種金氧化半電晶體結構，設於一第二導電型之一基體(substrate)上，包含有：



六、申請專利範圍

該第二導電型之一防護環(guard ring)，形成於該基體上，作為該基體之電性連接點；

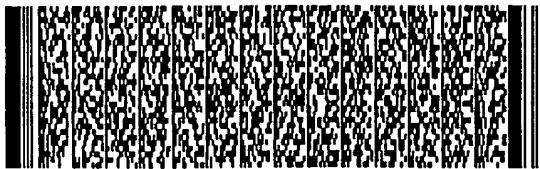
複數之指結構，被該防護環所包圍，每一指結構包含有一指閘極、一指源極、一指汲極以及一基體電流進入點，該指源極係以一第一導電型之一第一摻雜區所構成，該指汲極係以該第一導電型之一第二摻雜區所構成，耦接至一接合鋅墊，該指閘極設於該第一摻雜區與該第二摻雜區之間，該基體電流進入點係以被該第二摻雜區包圍之該第二導電型之一第三摻雜區所構成，該指閘極附近之該第一摻雜區、該基體與該第二摻雜區係構成一寄生之雙極性接面電晶體；

複數之井電阻，每一井電阻之一端耦接至該等指源極其中之一，每一井電阻之另一端耦接至一電源線；以及

內連接線路(internal connection circuits)，用以耦接該等指源極其中之一至該等該基體電流進入點其中之一，以在ESD事件時，流經一第一寄生BJT與一相連之井電阻的電流，可以觸發一第二寄生BJT。

16. 如申請專利範圍第15項之金氧半電晶體結構，其中，每一該等井電阻係由該第二導電型之一井區，設於該第一摻雜區與一第四摻雜區之間，該第四摻雜區耦接至該電源線。

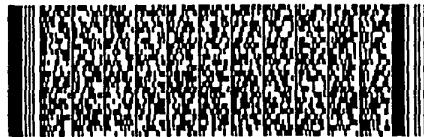
17. 如申請專利範圍第15項之金氧半電晶體結構，其中，該第一摻雜區與該第四摻雜區之間另設有一場氧化層區，以增加該等井電阻之一的電阻值。

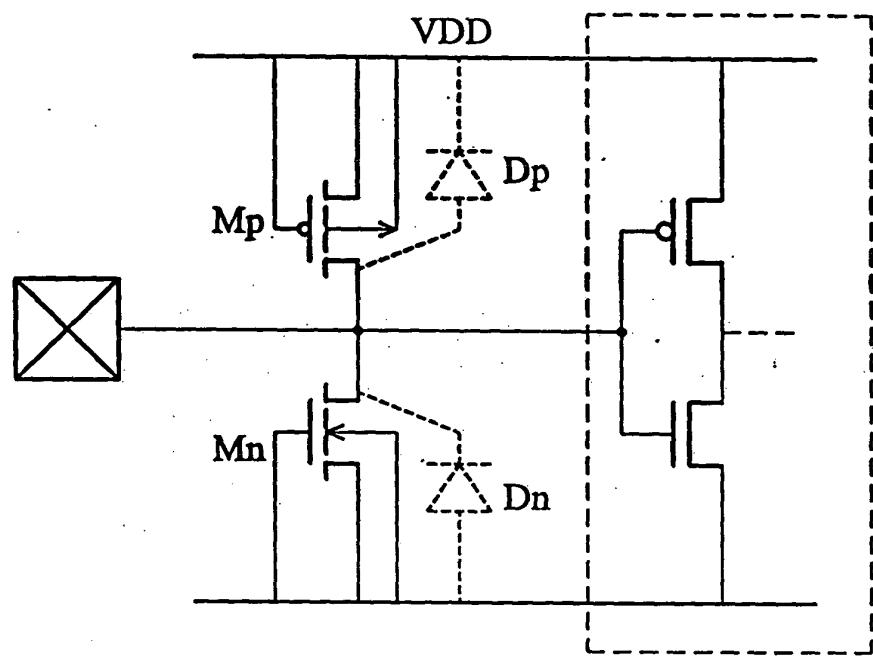


六、申請專利範圍

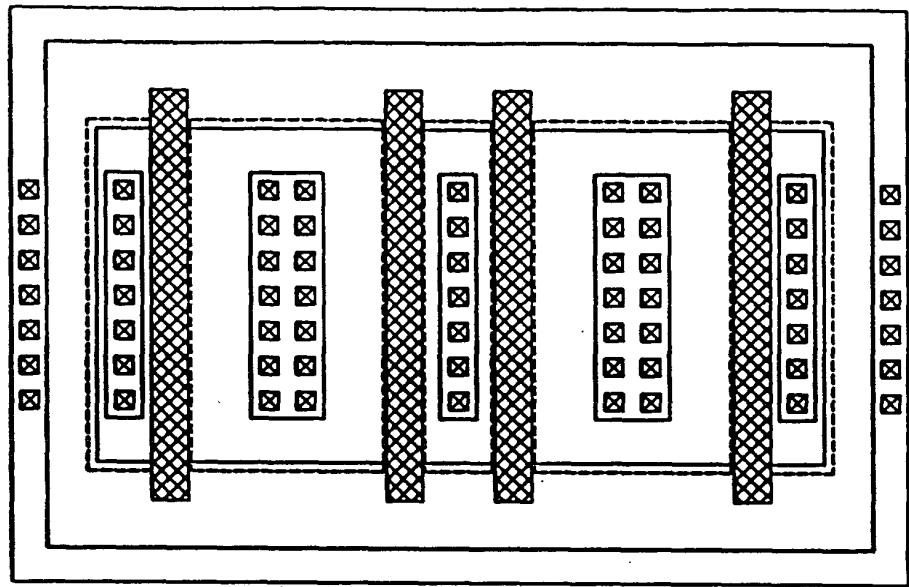
18. 如申請專利範圍第15項之金氧半電晶體結構，其中，該第二摻雜區與該第三摻雜區之間設有一場氧化層區，用以分隔該第二摻雜區與該第三摻雜區。

19. 如申請專利範圍第15項之金氧半電晶體結構，其中，該第二摻雜區與該第三摻雜區之間設有一虛置閘結構(dummy gate)，用以分隔該第二摻雜區與該第三摻雜區。

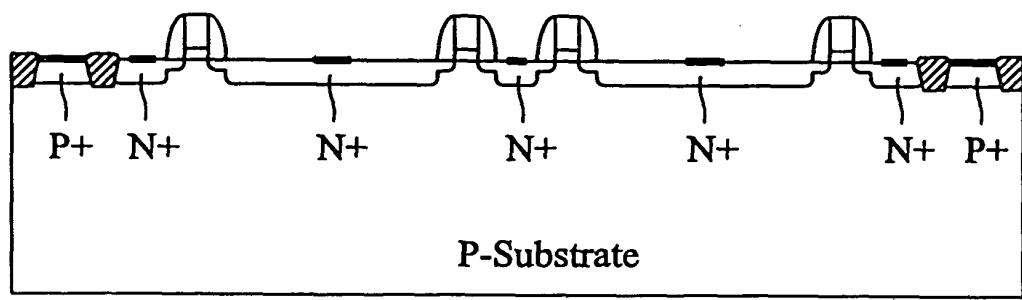




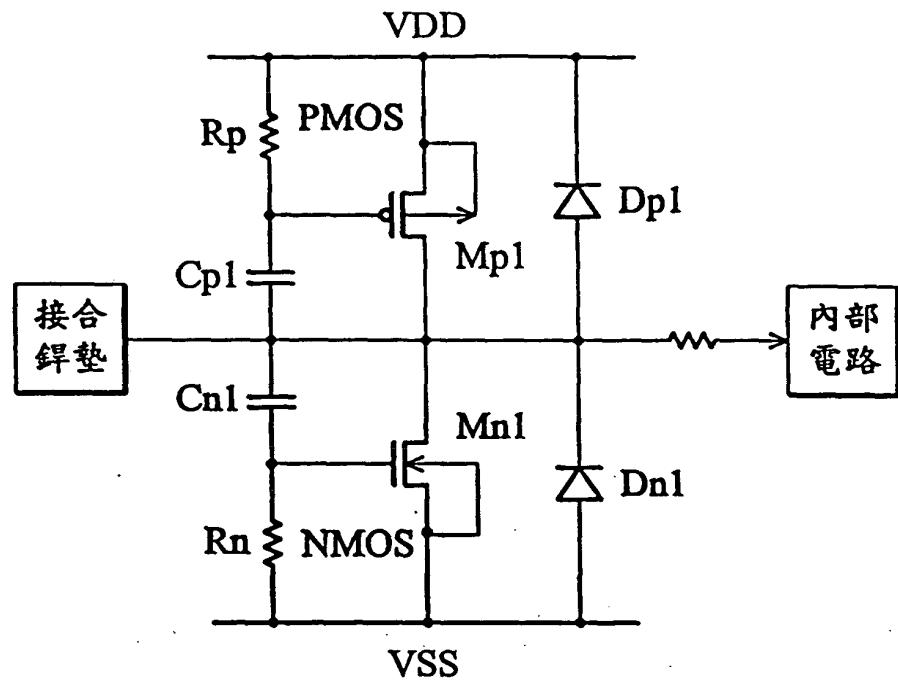
第 1 圖



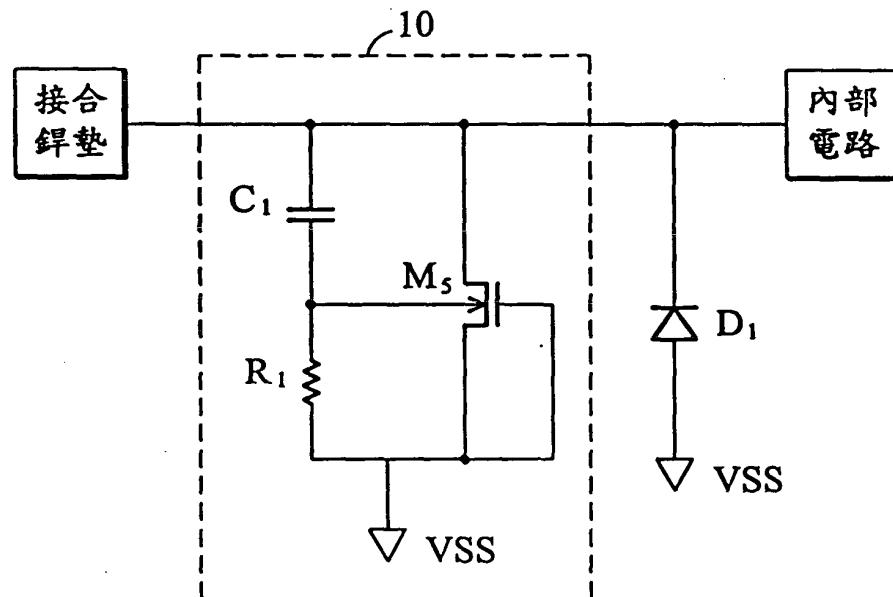
第 2A 圖



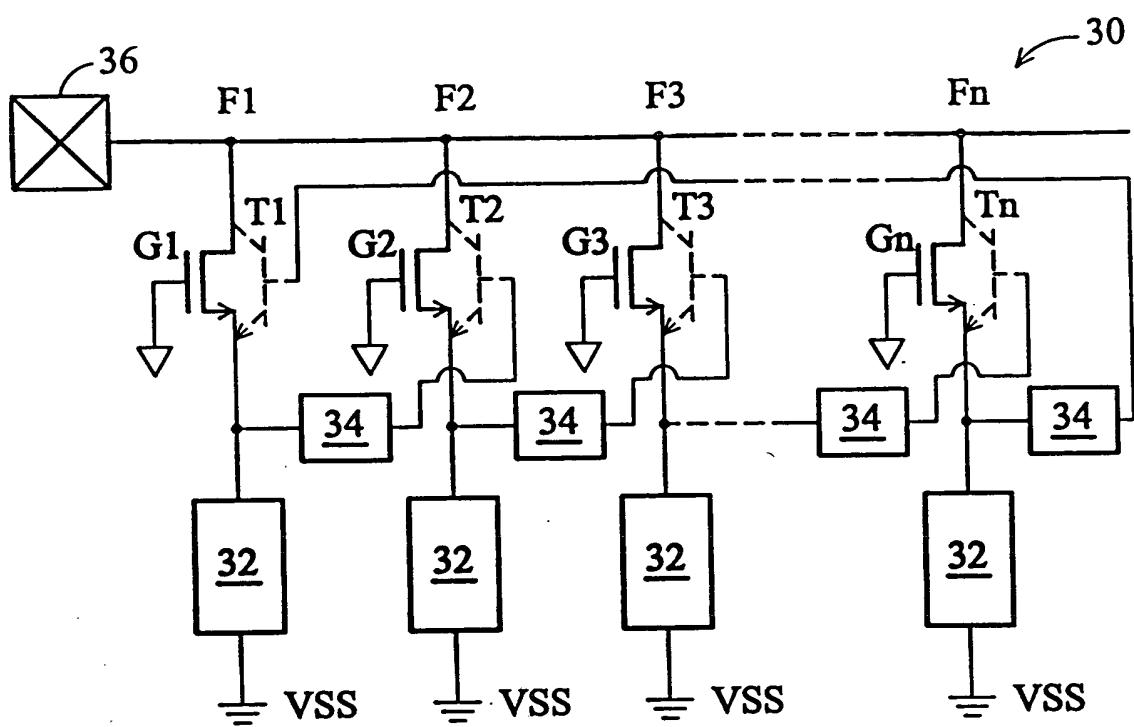
第 2B 圖



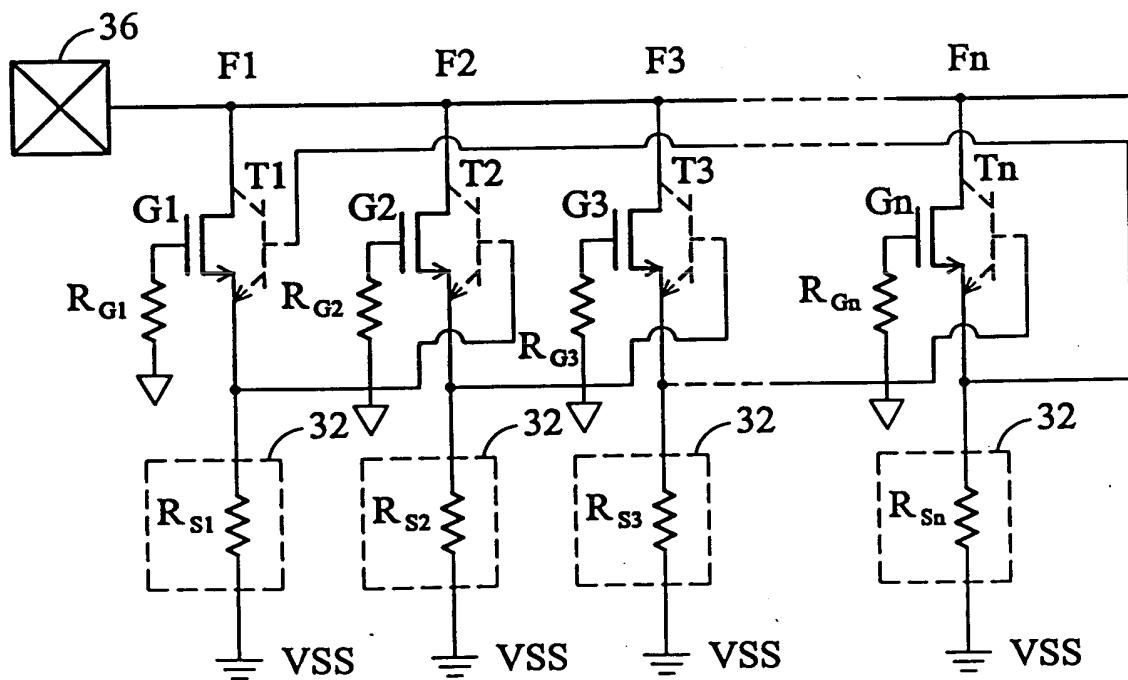
第 3 圖



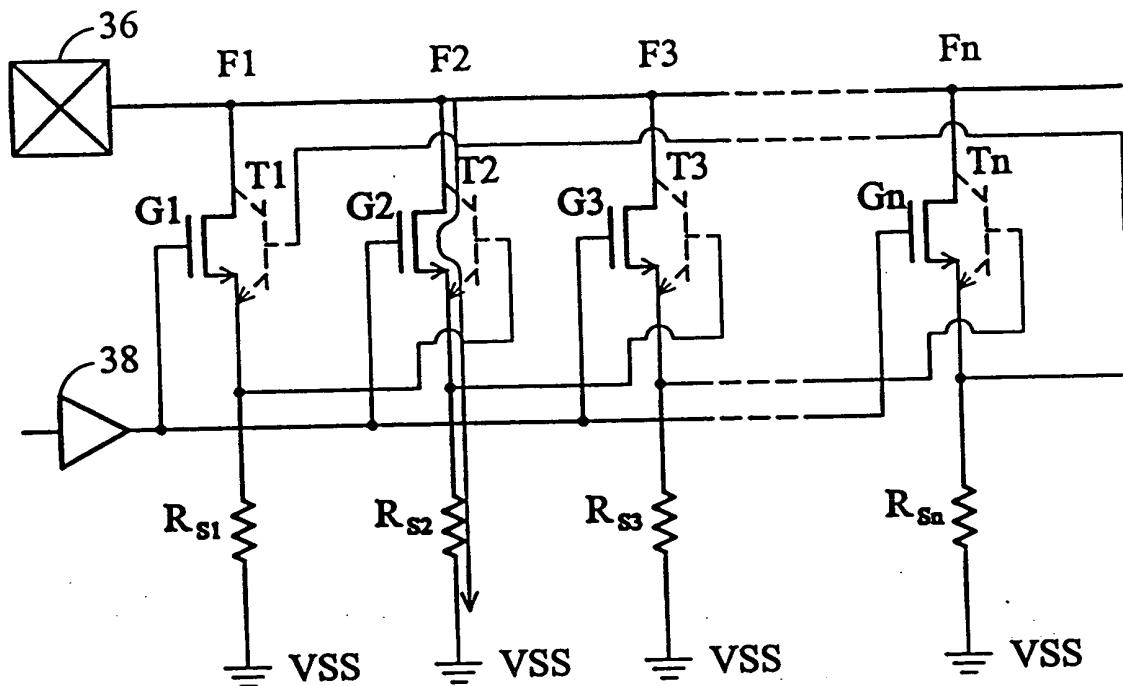
第 4 圖



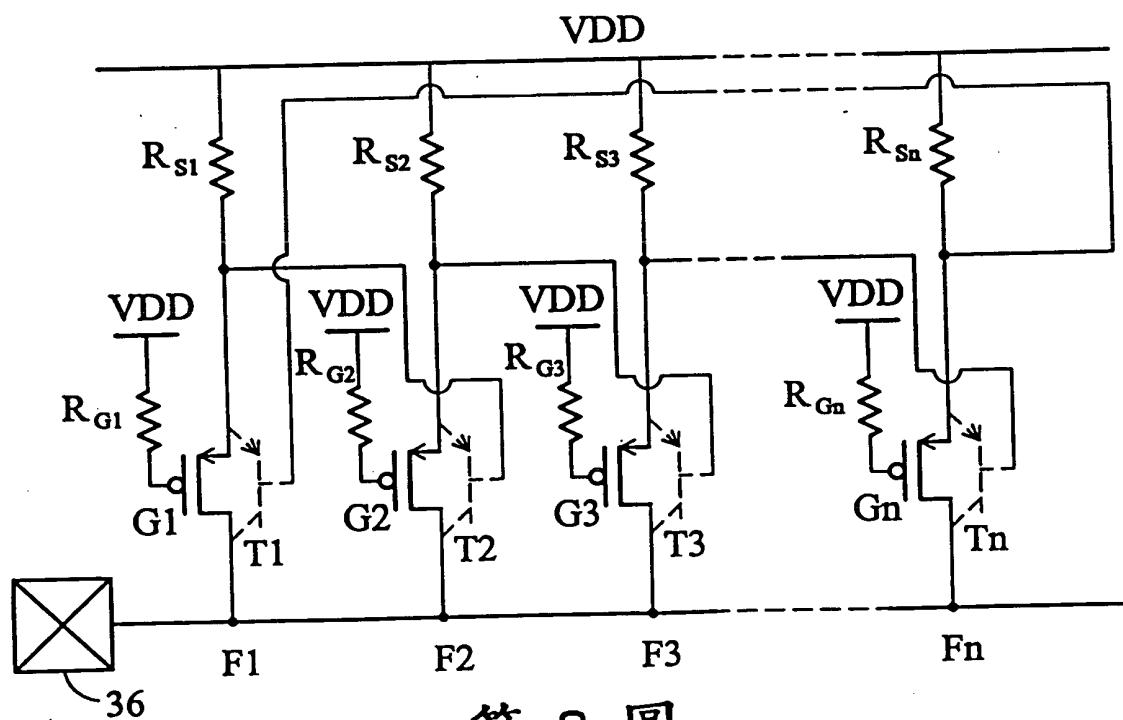
第 5 圖



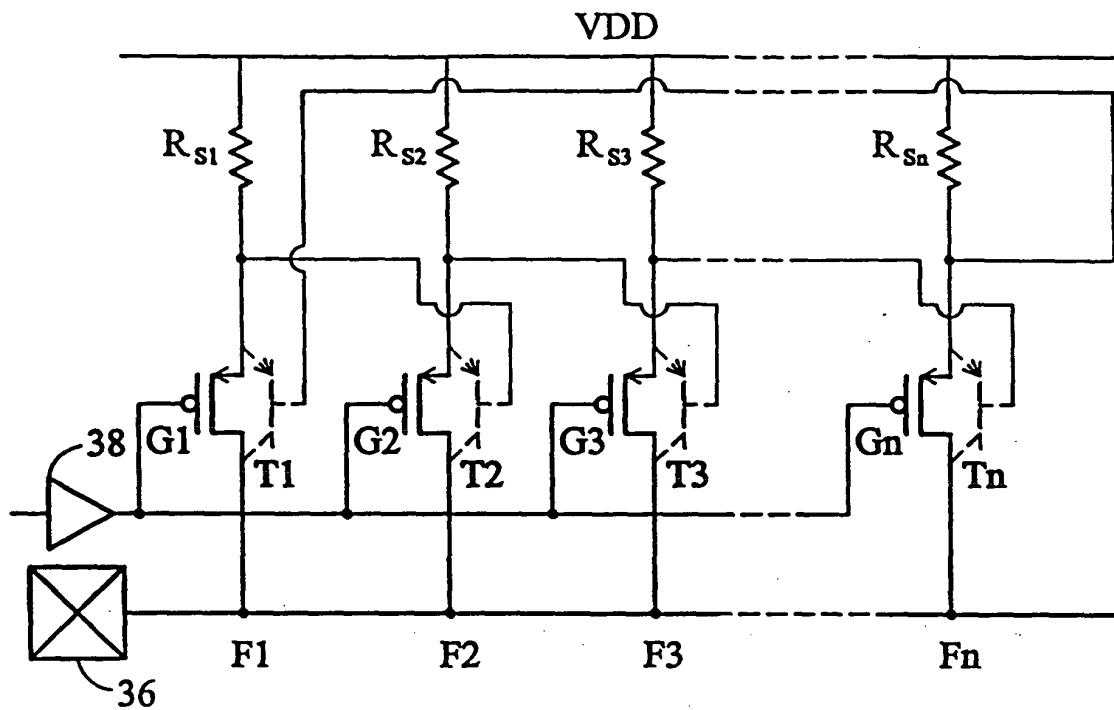
第 6 圖



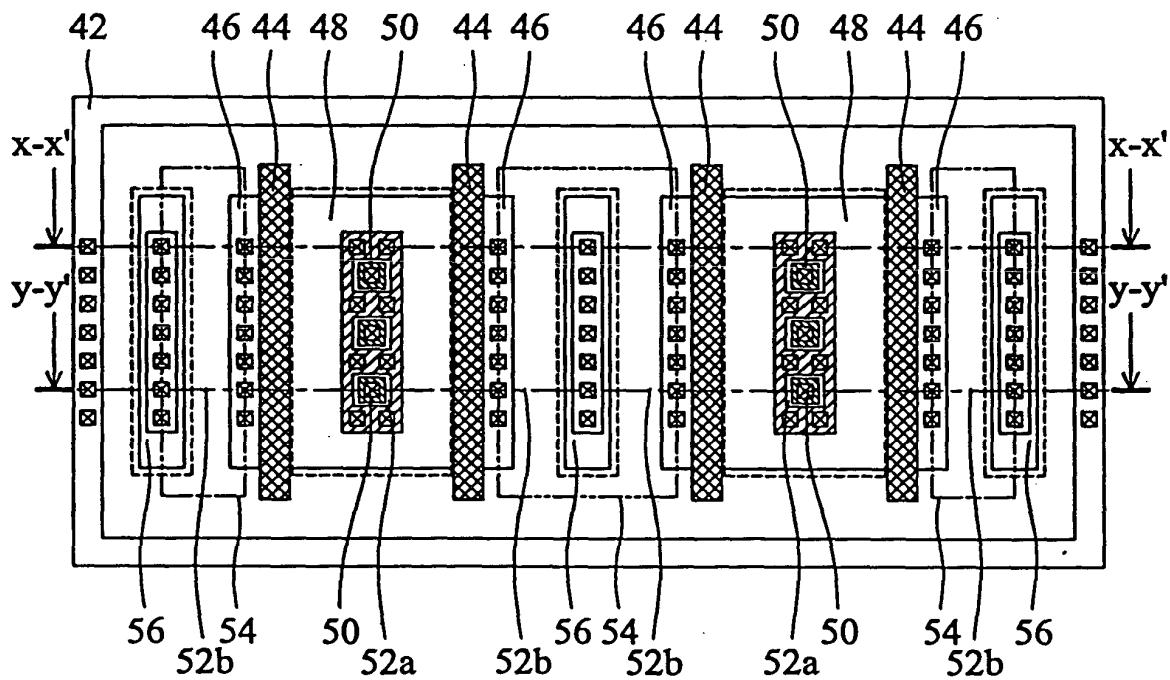
第 7 圖



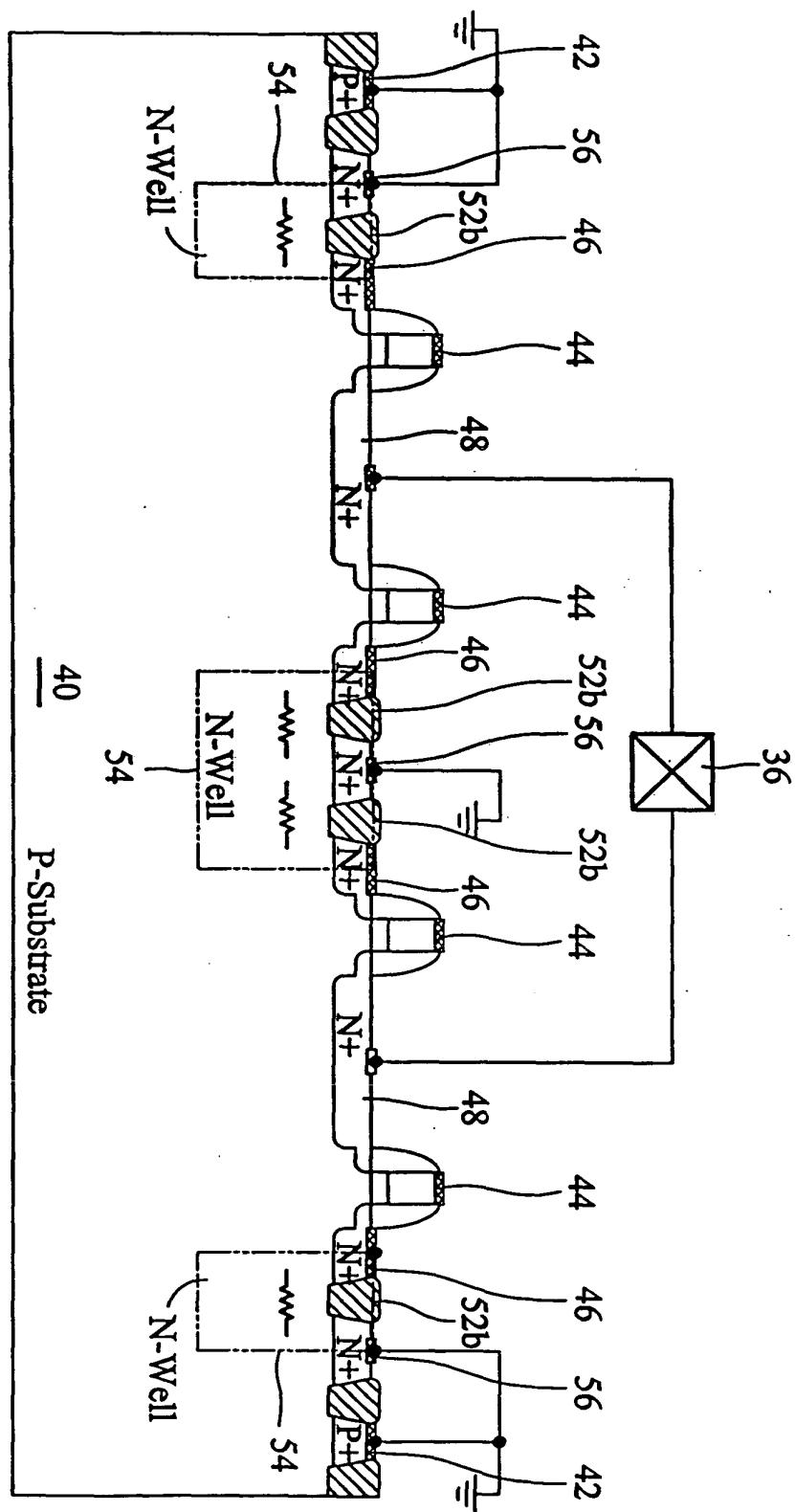
第 8 圖



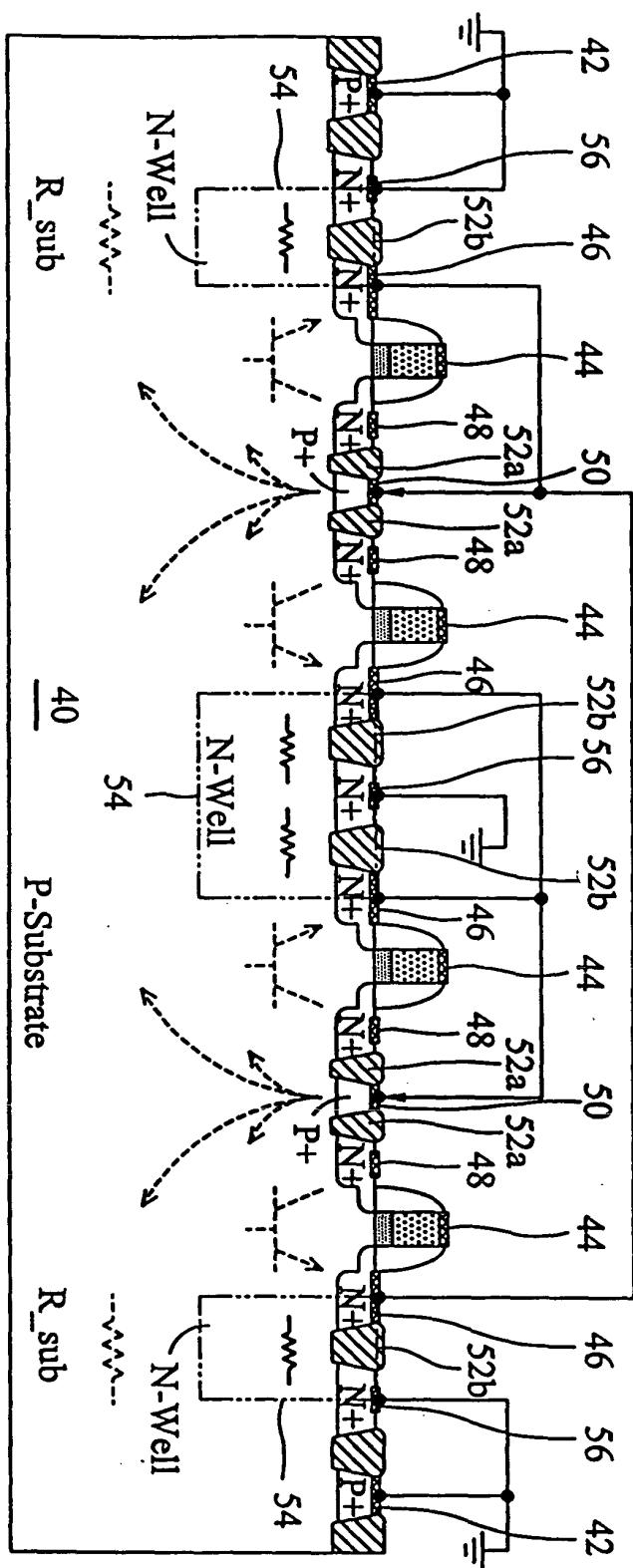
第 9 圖



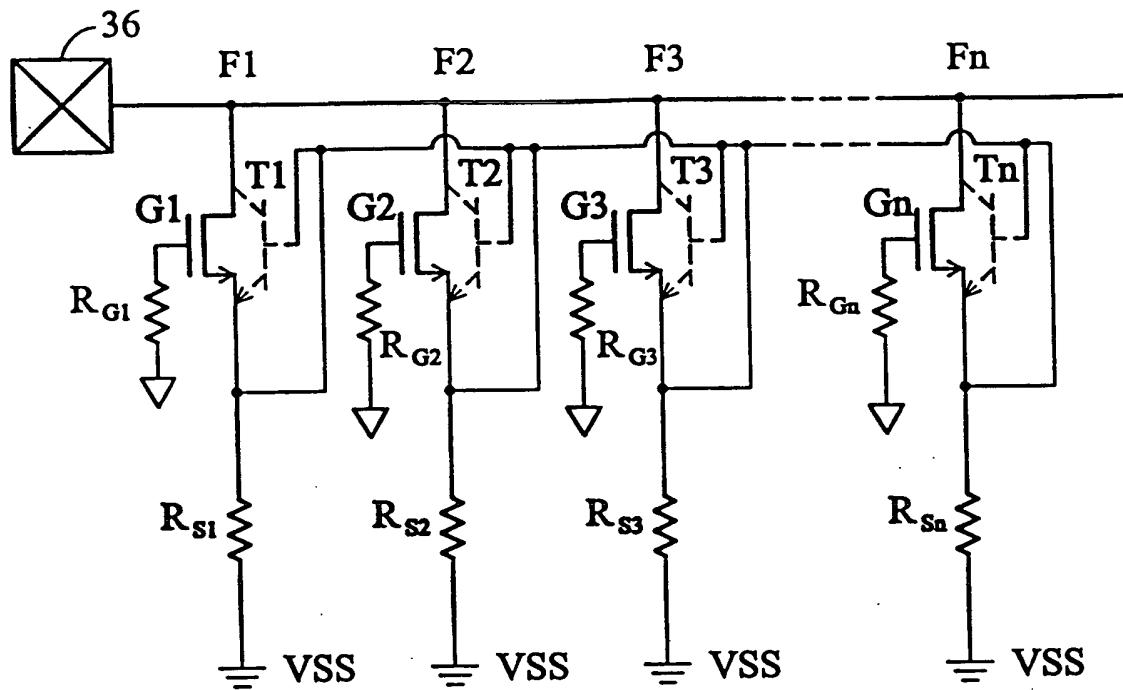
第 10 圖



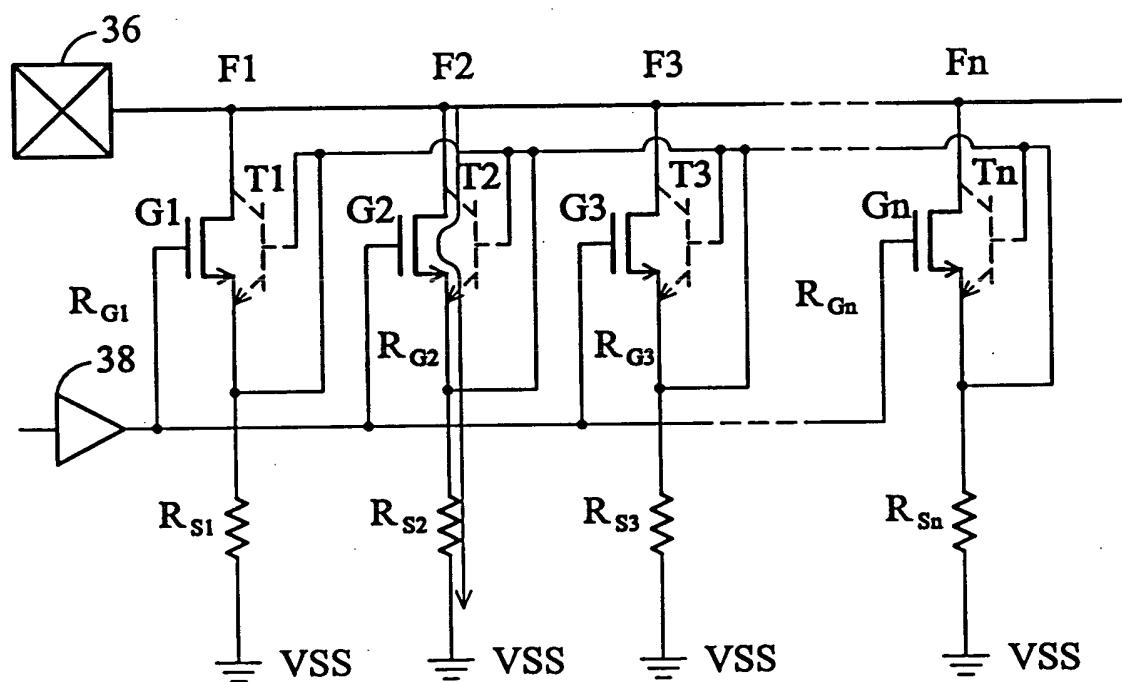
第11A圖



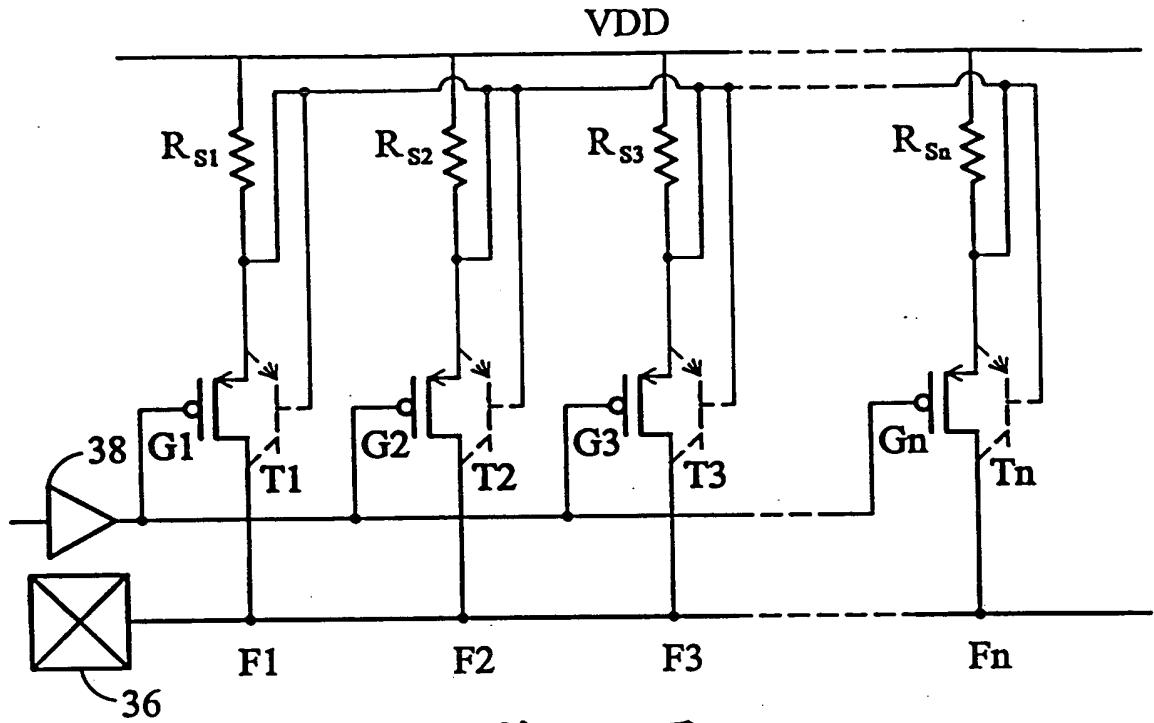
第11B圖



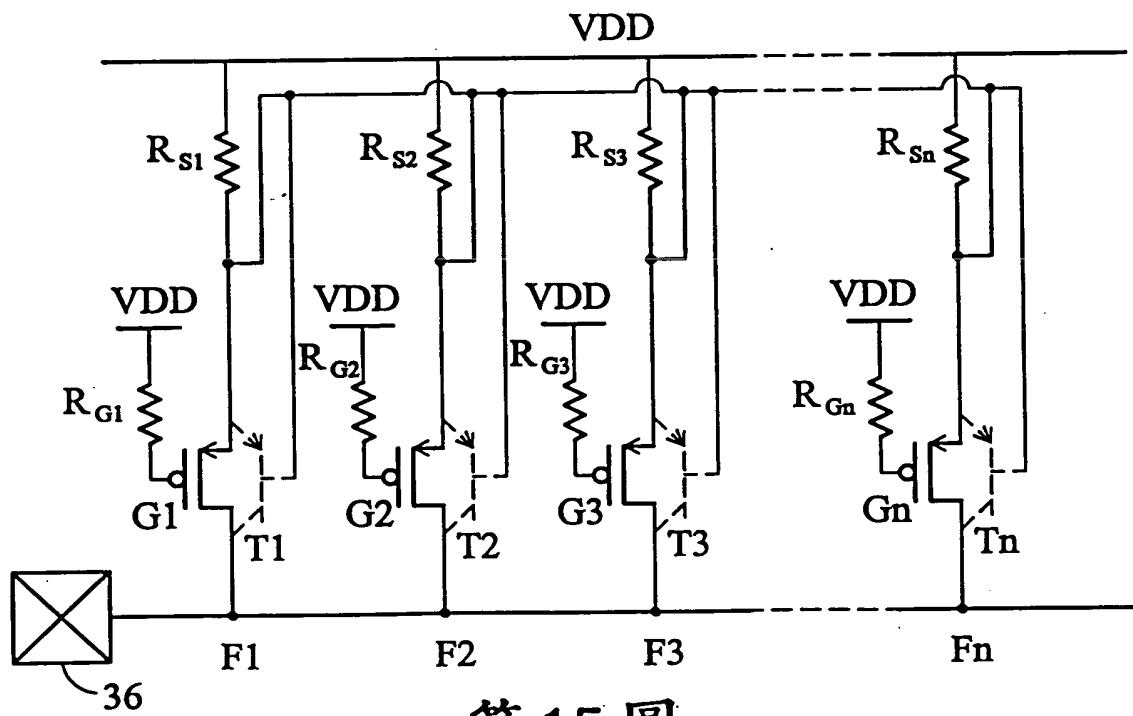
第 12 圖



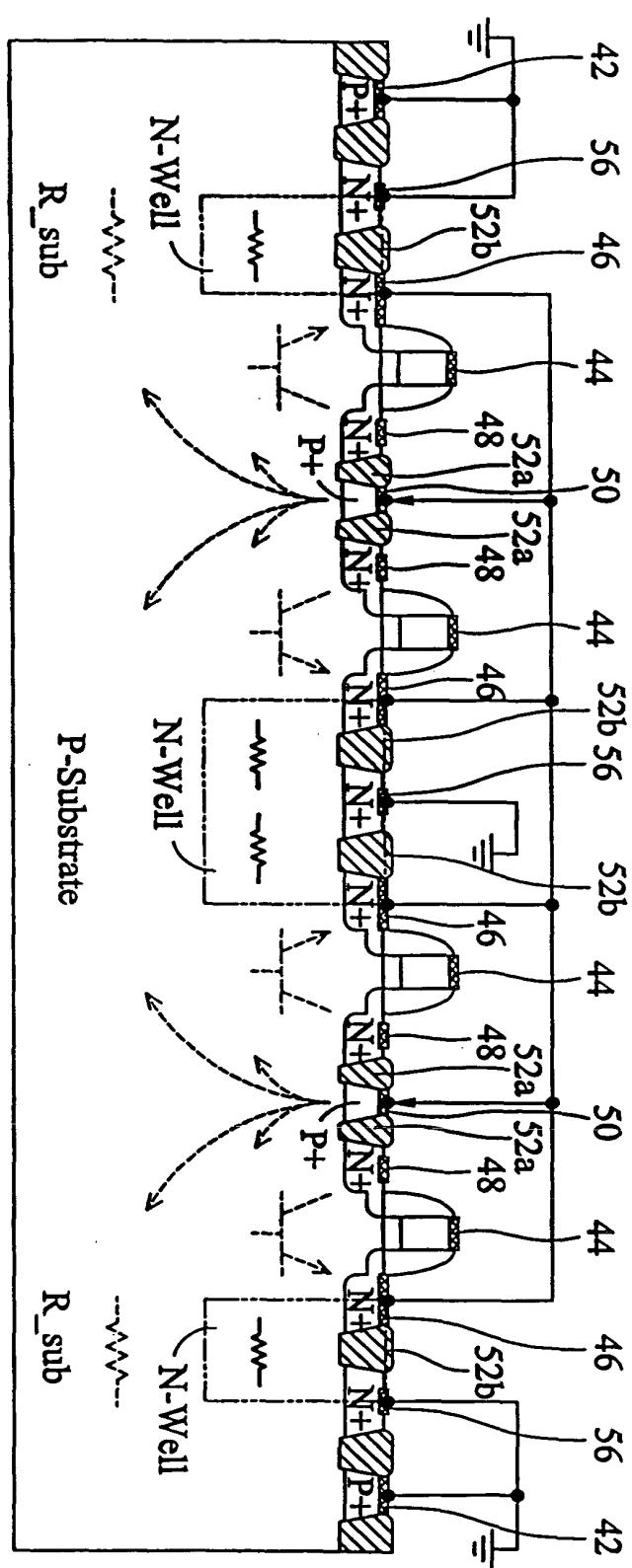
第 13 圖



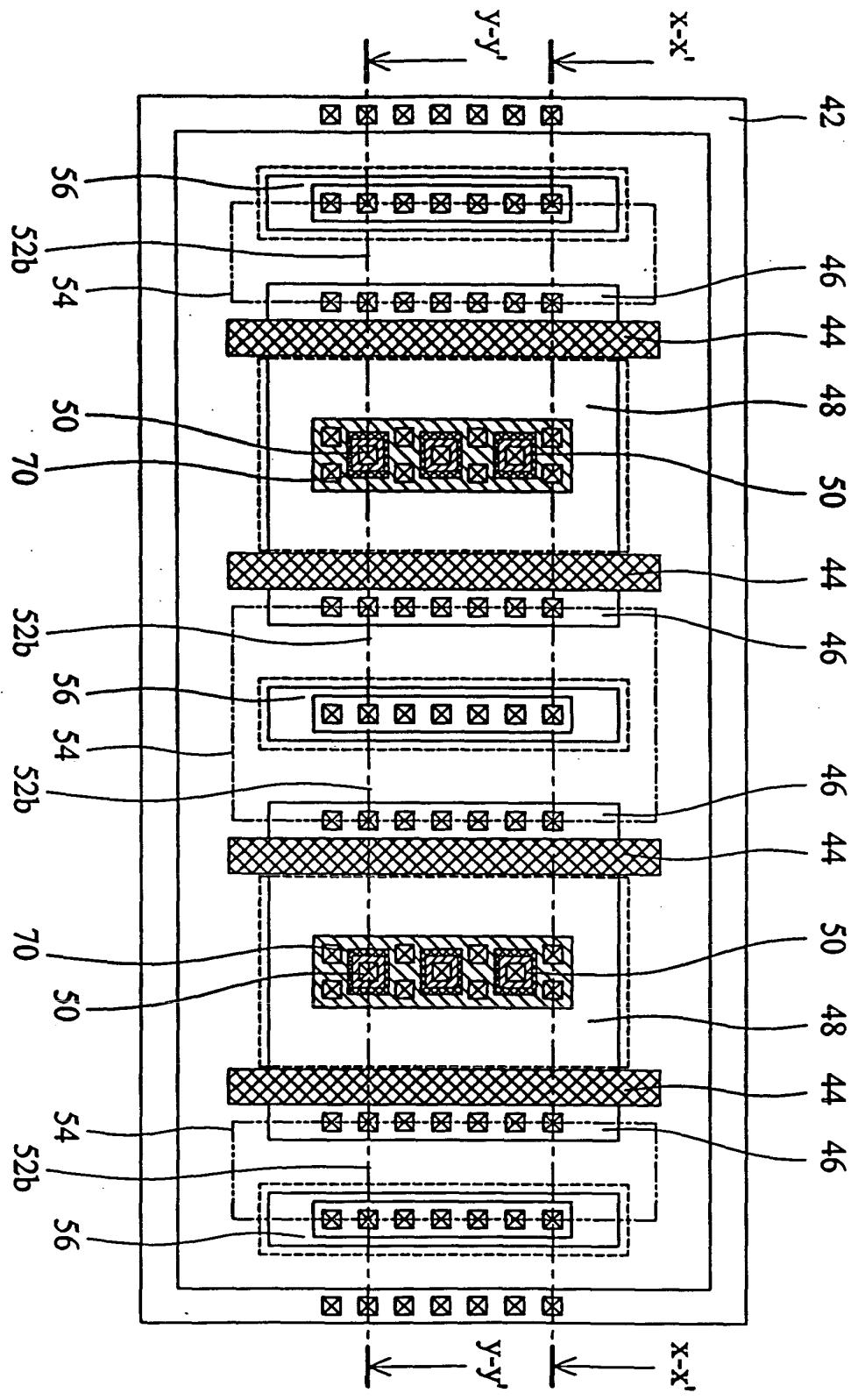
第 14 圖

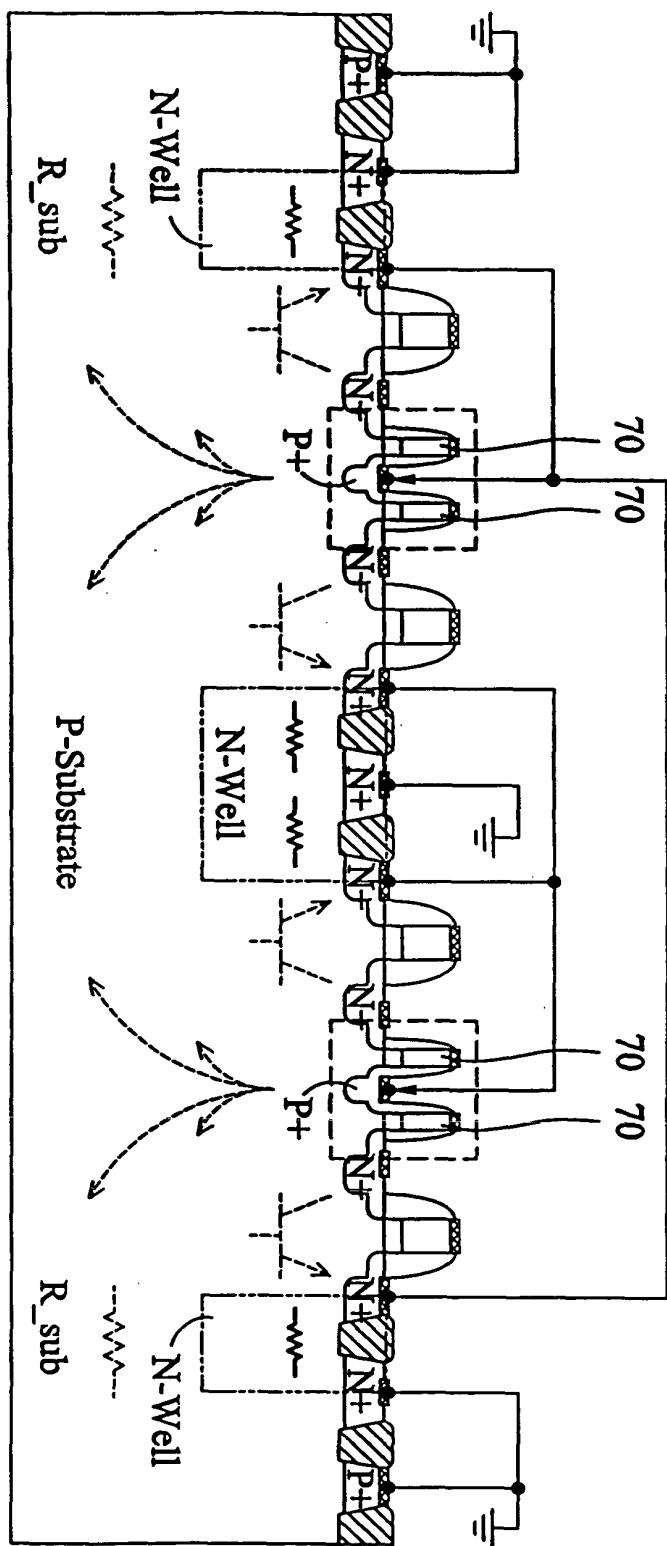


第 15 圖

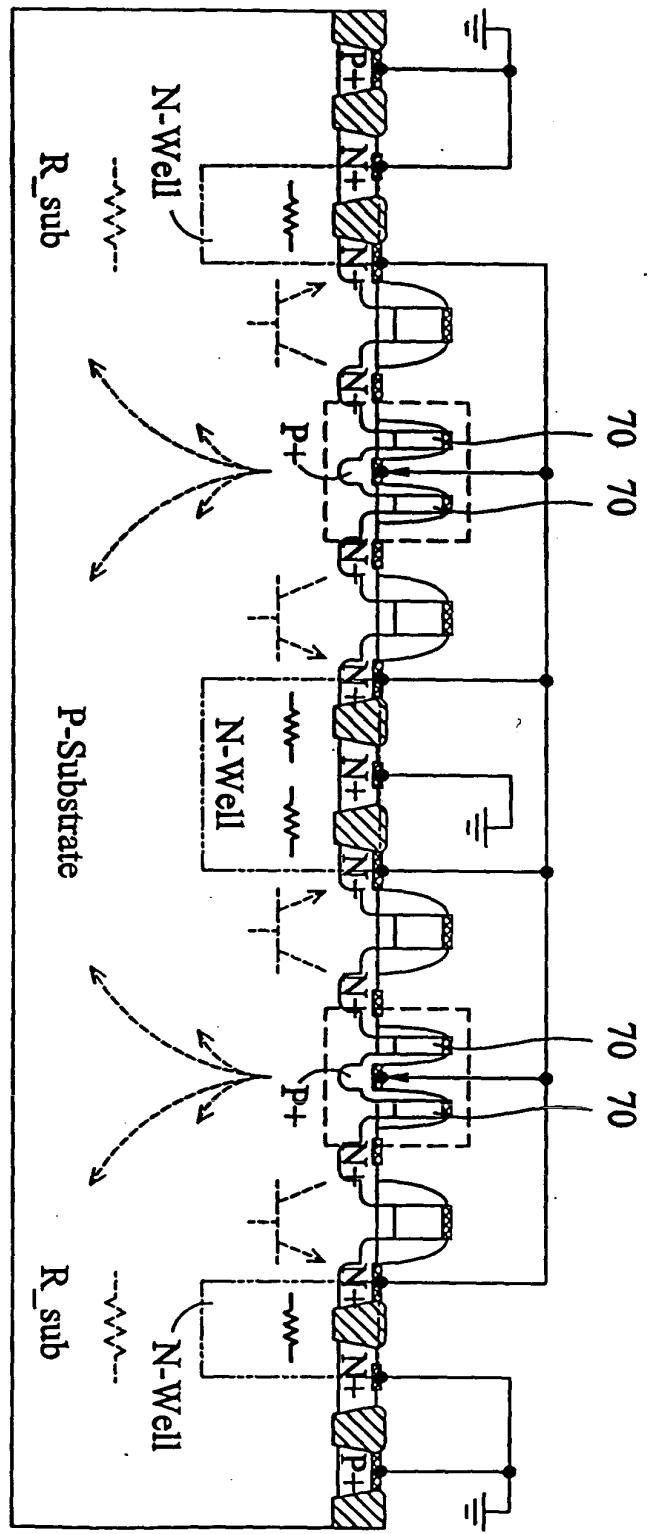


第17圖

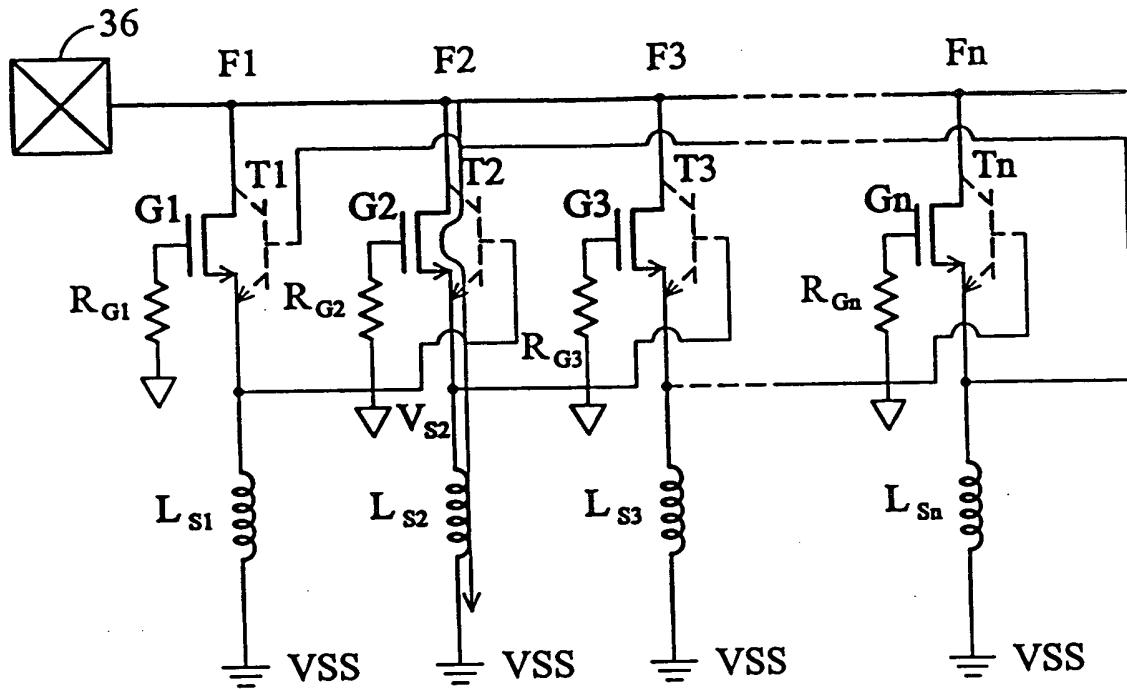




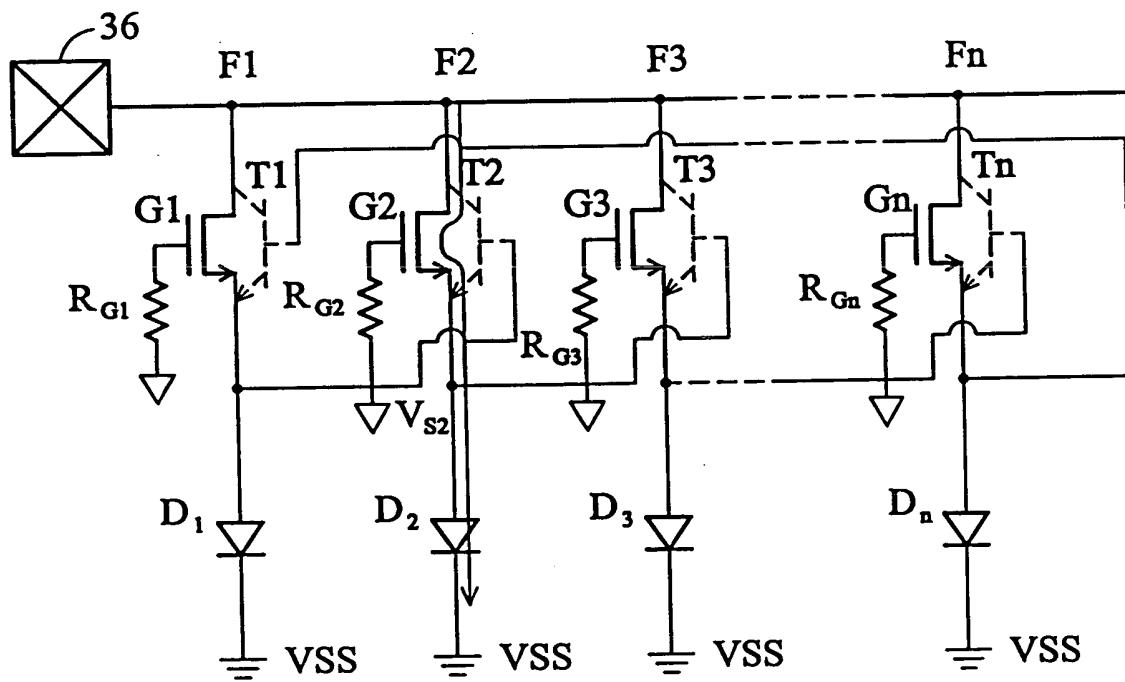
第 18 圖



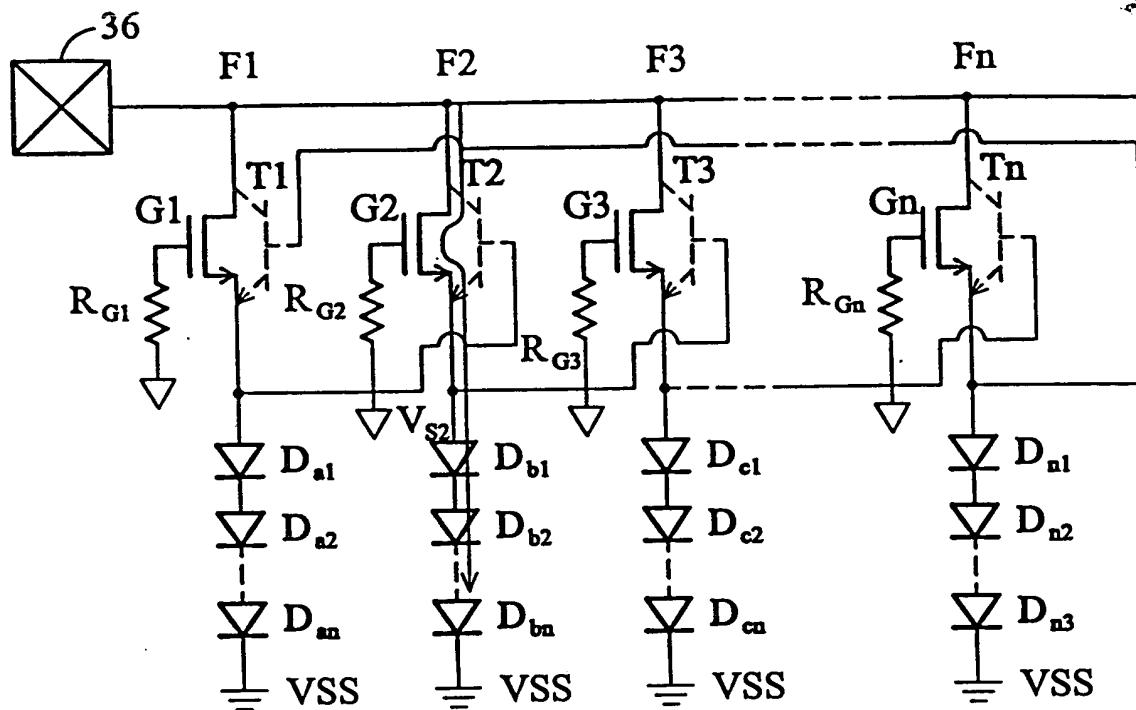
第 19 圖



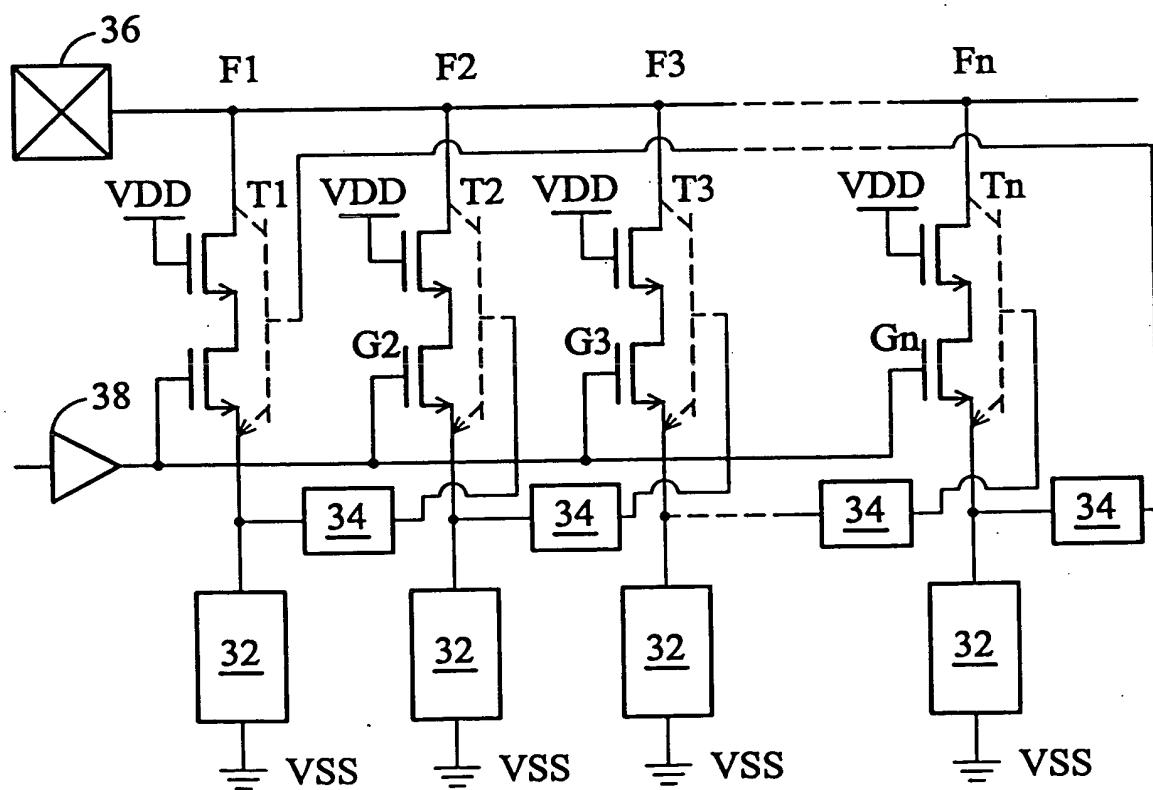
第 20 圖



第 21 圖

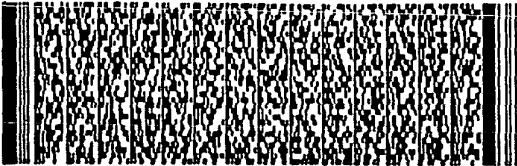


第22圖

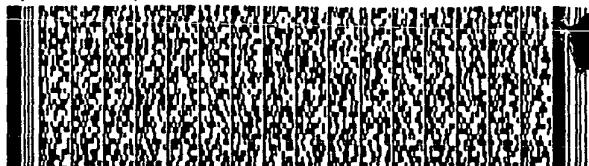


第23圖

第 1/17 頁



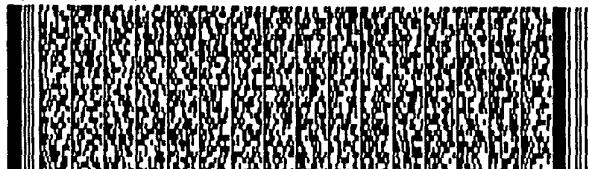
第 2/17 頁



第 4/17 頁



第 4/17 頁



第 5/17 頁



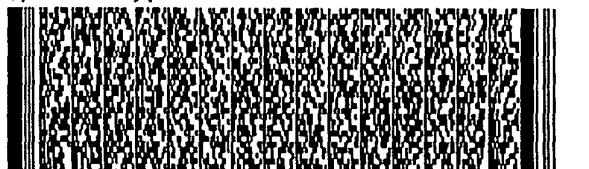
第 5/17 頁



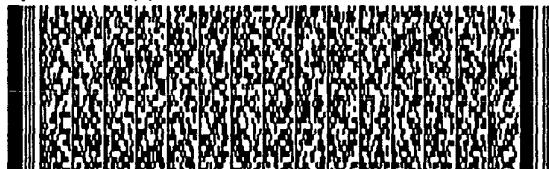
第 6/17 頁



第 6/17 頁



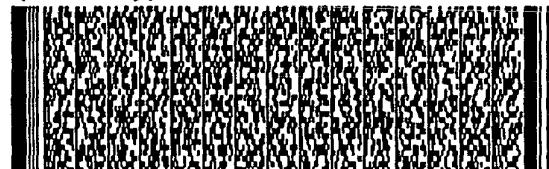
第 7/17 頁



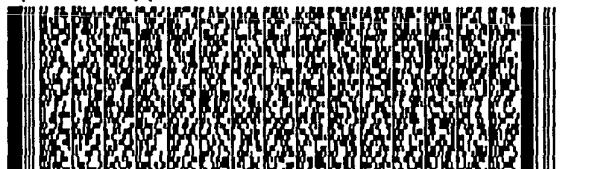
第 7/17 頁



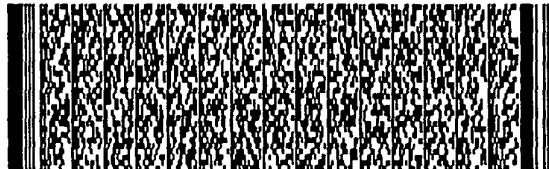
第 8/17 頁



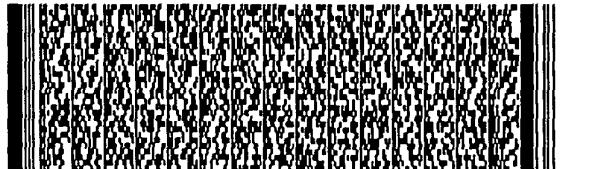
第 8/17 頁



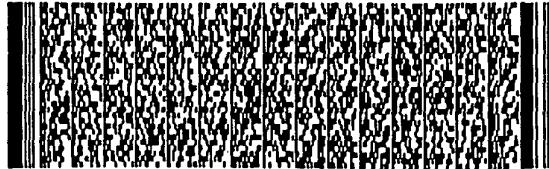
第 9/17 頁



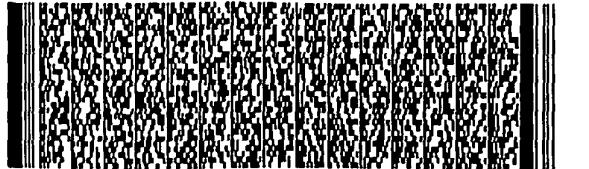
第 9/17 頁



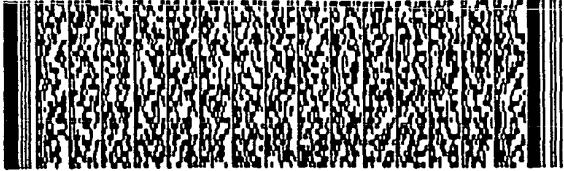
第 10/17 頁



第 10/17 頁



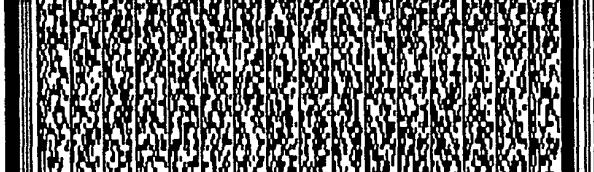
第 11/17 頁



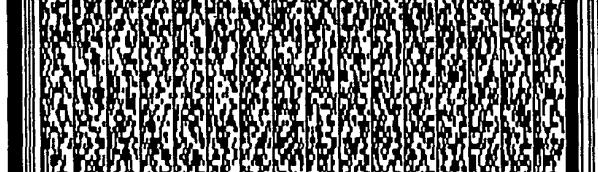
第 11/17 頁



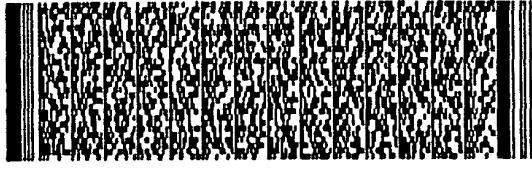
第 12/17 頁



第 13/17 頁



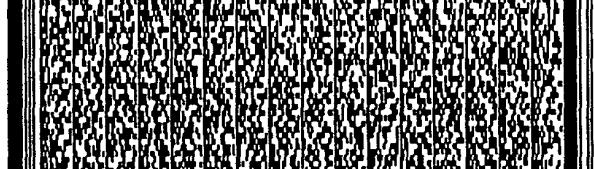
第 14/17 頁



第 14/17 頁



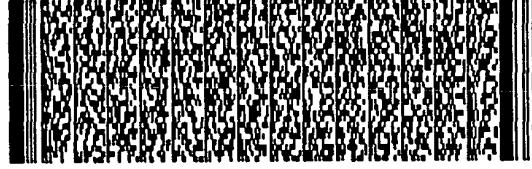
第 15/17 頁



第 16/17 頁



第 16/17 頁



第 17/17 頁

